

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-107758

(P2002-107758A)

(43)公開日 平成14年4月10日(2002.4.10)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
G 0 2 F 1/1368		G 0 9 F 9/00	3 3 8 2 H 0 9 2
G 0 9 F 9/00	3 3 8	9/30	3 3 8 5 C 0 9 4
9/30	3 3 8		3 4 1 5 G 4 3 5
	3 4 1	G 0 2 F 1/136	5 0 0

審査請求 未請求 請求項の数13 O L (全 10 頁)

(21)出願番号 特願2000-287410(P2000-287410)

(22)出願日 平成12年9月21日(2000.9.21)

(71)出願人 390009531

インターナショナル・ビジネス・マシー  
ズ・コーポレーション

INTERNATIONAL BUSIN  
ESS MASCHINES CORPO  
RATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72)発明者 高杉 親知

神奈川県大和市下鶴間1623番地14 日本ア  
イ・ビー・エム株式会社 大和事業所内

(74)代理人 100086243

弁理士 坂口 博 (外2名)

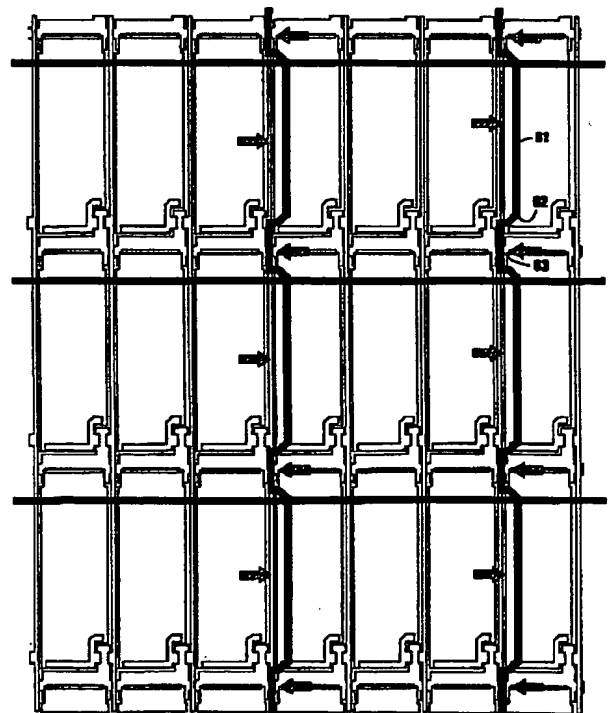
最終頁に続く

(54)【発明の名称】 液晶表示装置の製造方法、表示装置の製造方法、及び液晶表示装置

(57)【要約】

【課題】 二重露光部重なる副画素部での輝度変化を防止することが可能な、液晶表示装置の製造方法を得る。

【解決手段】 液晶表示装置のTFTアレイ基板のパターニングにおいて、基板は分割露光される。レジストの露光処理において、基板は複数の分割領域に分割して、ステップを使用して露光される。2つの分割露光領域が重なる部分は、露光誤差を考慮して二重露光される部分を有する。この二重露光される部分が、副画素部内で非直線的に設定される。このように設定することによって、二重露光部が蓄積容量や信号線と重ならないように設定する。これにより、露光誤差による蓄積容量は信号線と画素電極との間の容量変化を防止することができるので、表示むらや輝度変化を防止出来る。



## 【特許請求の範囲】

【請求項 1】液晶に電界を印加する画素電極をパターンニングするステップと、

前記画素電極に電気信号を送る配線をパターンニングするステップと、

前記液晶の保持特性を改善するために、前記画素電極との間において蓄積容量を形成する導体部をパターンニングするステップと、を有し、

前記配線パターンニングにおいて、複数の分割領域に分割してパターンニングの少なくとも一部の処理を行い、前記分割領域の分割境界部であって、前記配線の方向に延びる分割境界部は、前記配線の少なくとも一部と重ならないように設定され、

前記導体部パターンニングもしくは前記画素電極パターンニングにおいて、複数の分割領域に分割してパターンニングの少なくとも一部の処理を行い、前記分割領域の分割境界部であって、前記配線の方向に延びる分割境界部は、前記蓄積容量と実質的に重ならないように設定される、液晶表示装置の製造方法。

【請求項 2】前記分割境界部は、副画素部内において非直線状に設定されている、請求項 1 に記載の製造方法。

【請求項 3】前記分割境界部は、信号線とゲート線との交差部に重なるように設定されている、請求項 1 又は 2 に記載の製造方法。

【請求項 4】前記分割境界部は、

前記配線とほぼ平行であって前記配線と重ならない第 1 の部分と、

前記第 1 の部分と連続して形成され、前記第 1 の部分と所定の角度を有する第 2 の部分と、を有し、

前記第 2 の部分は前記蓄積容量と実質的に重ならないように前記第 1 の部分と所定の角度を有して設定される、請求項 1 又は 2 に記載の製造方法。

【請求項 5】前記分割領域に分割して行われる処理は、感光性樹脂の露光処理である、請求項 1 に記載の製造方法。

【請求項 6】前記分割境界部は、全ての露光処理において同一に設定されている、請求項 5 に記載の製造方法。

【請求項 7】前記配線パターンニングにおける分割境界部は、前記導体部パターンニング及び画素電極パターンニングにおける分割境界部とは異なって設定される、請求項 1 に記載の製造方法。

【請求項 8】前記導体部パターンニング及び前記画素電極パターンニングにおいて、複数の分割領域に分割してパターンニングの少なくとも一部の処理を行い、前記分割領域の分割境界部であって、前記配線の方向に延びる分割境界部は、前記蓄積容量と実質的に重ならないように設定される、請求項 1 に記載の液晶表示装置の製造方法。

【請求項 9】前記配線は信号線であり、

前記導体部はゲート線と連続して形成された導体部であり、

前記分割境界部は、

副画素部内において前記信号線のとほぼ平行に延びる第 1 の部分と、

前記第 1 の部分に連続して形成され、前記第 1 の部分と所定の角度を有して設定された第 2 の部分とを有し、

前記第 2 の部分は前記蓄積容量と実質的に重ならないように前記第 1 の部分と所定の角度を有して設定され、

前記分割境界部は前記ゲート線と前記信号線との交差部に重なるように設定されている、請求項 1 に記載の製造方法。

【請求項 10】前記分割境界部は、前記配線とほぼ垂直に延び、前記導体部及びゲート線と実質的に重ならないように設定された分割境界部をさらに有する、請求項 9 に記載の製造方法。

【請求項 11】絶縁基板上に導体層と絶縁体層をパターンニングすることにより、複数の副画素部をマトリックス状に形成する、表示装置の製造方法において、前記パターンニングにおいて、複数の分割領域に分割して前記パターンニングの少なくとも一部の処理を行い、

前記分割領域の分割境界部は、前記副画素部内において非直線状に設定されている、

表示装置の製造方法。

【請求項 12】前記複数の分割領域に分割して行われる処理は、感光性樹脂の露光処理である、請求項 11 に記載の製造方法。

【請求項 13】液晶に電界を印加する画素電極と、

前記画素電極に電気信号を送る配線と、

前記液晶の保持特性を改善するために、前記画素電極との間において蓄積容量を形成する導体部と、を有し、

前記配線は、複数の分割領域に分割してパターンニングの少なくとも一部の処理を行い、前記分割領域の分割境界部であって、前記配線の方向に延びる分割境界部は、前記配線の少なくとも一部と重ならないように分割されてパターンニングされ、

前記画素電極もしくは前記導体部は、複数の分割領域に分割してパターンニングの少なくとも一部の処理を行い、前記分割領域の分割境界部であって、前記配線の方向に延びる分割境界部は、前記蓄積容量と実質的に重ならないように分割されてパターンニングされた、液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置の製造方法、表示装置の製造方法、及び、液晶表示装置に関するものであり、特に、パターンニング処理の改良を伴う液晶表示装置の製造方法、表示装置の製造方法、及び液晶表示装置に関する。

【0002】

【従来の技術】パーソナル・コンピュータ、その他各種モニタ用の画像表示装置として、液晶表示装置（LC

10

20

30

40

50

## 3

D)の普及は目覚ましいものがある。液晶表示装置は、一般に、駆動回路を備えた液晶表示パネルと、その背面に配置されたバックライトユニットを有する。表示パネルは、その透過光を制御することにより、画像表示を行う。表示パネルは、マトリックス状に配置された複数の副画素部から構成される表示領域部と、その外周に形成された外周領域部を有している。液晶表示装置の中で、各副画素部がTFT(Thin Film Transistor)やMIM(Metal Insulator Metal)等のスイッチング素子を有する、アクティブ・マトリックスLCDがある。

【0003】アクティブ・マトリックスLCDは、微妙な階調表示が可能であり、高コントラストであることから、高精細な表示装置やカラーLCDに広く採用されている。カラーLCDは、通常、スイッチング素子や画素電極がアレー状に形成されたアレイ基板と、カラーフィルタを有するカラーフィルタ基板との間に、液晶を封入することによって、形成されている。カラーLCDにおいては、副画素部毎にRGBのカラーフィルタを有し、各副画素部からの光量を制御することによってカラー表示を行う。RGB3つの副画素部により、一つの画素部を形成する。尚、モノクロのLCDにおいては、各副画素部が画素部に相当する。

【0004】図1は、スイッチング素子としてTFTを有する副画素部の概略を示す構成図である。副画素部は、TFT基板側に形成されたもののみを示している。図1は、ボトムゲート型のTFTであり、半導体として、アモルファス・シリコン(a-Si)を用いている。この他に、半導体としてポリシリコンを用いたものや、トップゲート型のTFT等が存在する。ボトムゲートとは、TFTのゲートが、ドレイン/ソースよりも下層に配置されているTFTである。

【0005】図において、11はスイッチング素子としてのTFT、12はゲート電極、13はゲート絶縁層、14はアモルファス・シリコン(a-Si)層である。15はa-Si層と電極とのオーミック接触を改善するオーミック層、16はソース電極、17はドレイン電極、18は液晶に電界を加える画素電極である。オーミック層15は、ドナーとしてのリンやヒ素がドーパされている。ゲート電極12はゲート線19を介して、Y軸側ドライバIC(不図示)に接続され、ソース電極16は信号線20を介してX軸側のドライバIC(不図示)に接続されている。尚、TFT11は交流駆動されるため、ソース電極16とドレイン電極17は時間的に逆になる。21は液晶の保持特性を改善する蓄積容量である。蓄積容量21はゲート絶縁膜を誘電体として利用し、画素電極18と隣の副画素部のゲート線の一部との間で形成されている。

【0006】アレイ基板上の素子の製造は、材料の堆積、フォトリソグラフィ処理、そして、エッチング処理によって形成される。フォトリソグラフィ処理にお

## 4

て、感光性樹脂であるフォトリソグが、基板上に塗布される。基板上への塗布は、スピンコート法やロールコート法によって行われる。基板上に塗布されたフォトリソグは、プリベーク処理された後に、露光処理される。露光は、レチクルと呼ばれるマスクを使用して、基板上に所定のパターンを光を照射することによって行う。レチクルは、通常、ガラス基板上にクロム等でパターンの原画が形成されたマスクである。

【0007】露光方法としては、一般に、プロキシミティ方式、レンズ・プロジェクション方式、ミラープロジェクション方式が使用される。プロキシミティ方式はマスクと露光基板とを近接させて露光する方式である。レンズプロジェクション方式とミラー・プロジェクション方式は、マスク上のパターンを、レンズもしくはミラーを用いて基板上に投影することにより、基板にマスクパターンを露光する方法である。プロジェクション方式においては、レチクル上のパターンが、1.25倍程度に拡大されて基板に投影されることが多い。

【0008】比較的大きい基板の露光は、一度に基板全体を露光することができないので、一般に、基板は分割露光される。これは、マスク上のパターンを基板上に露光する場合に、一度に基板全体を露光するのではなく、複数の分割領域に分割して露光する方法である。基板を露光ステージに配置し、又、レチクルをレチクルステージに配置し、これらのステージを移動させることで基板とレチクルとの位置あわせが行われる。このように分割領域に分割して露光する装置は、一般にステップと呼ばれる。

【0009】図2は、基板上の1つの回路を、4つの分割領域に分割して露光した場合を示す図である。図のように、基板を分割して、各分割領域毎に、順次、露光を行う。各分割領域の露光においては、同じレチクルを繰り返し使用することもでき、あるいは、異なる4つのレチクルを使用して露光することも可能である。1つの回路パターンを複数の分割領域に分割して露光する場合は、各分割領域は製造時の露光誤差のために電気的特性が異なるので、同じ電気信号に対する光の透過量が、分割領域毎に異なる問題があった。この相違がカラーLCDにおいては、分割領域毎の表示色の相違として認識されることがあった。

【0010】このような問題を解決するために、分割領域間の境界線を非直線状に設定することが、特開平11-258629号公報、もしくは、WO95/16276号公報において提案されている。これらの技術は、分割領域の境界線をジグザグに形成することにより、分割領域の継ぎ目を目立たなくすることを目的としている。

【0011】しかし、分割露光においては、分割領域毎の電気的特性の相違のみならず、分割境界部でのマスクパターンの露光ずれも考慮しなければならない。レチクル・アラインメント精度、ディストーション、倍率誤

差、レチクル製造誤差等によって、分割境界部において各分割領域の継ぎ合わせ誤差が生ずる。この誤差を考慮し、分割境界部付近は、隣接する分割領域の一部が重なるように、二重露光される。露光ずれは、パターンニングされた形状や位置の変化を引き起こす。各分割領域の継ぎ合わせ誤差による問題点については、例えば、特開平 2-223926 号公報に記載されている。継ぎ合わせ誤差による表示特性の変化は、TFT等のアクティブ素子において特に大きく現れることから、露光継ぎ目が TFT等のアクティブ素子と重ならないように設定することが提案されている。

#### 【0012】

【発明が解決しようとする課題】しかし、TFTと分割境界部が重ならないように設定することは、分割境界部での露光ずれの問題を解決するためには、十分ではないことを発明者は見出した。従来の露光方法においては、分割境界部は、信号線と平行であって、副画素部のほぼ中央を通るように設定されているか、あるいは、信号線と重なるように設定されていた。信号線と重なるように設定されている場合は、信号線と画素電極との間の容量が変化する。また、TFTと分割境界部が重なるため、TFTの特性も大きく変化してしまう。

【0013】このため、分割境界部と重なる副画素部の輝度が他の副画素部と大きく異なるものとなり、表示むらとして視認される問題があった。又、分割境界部が副画素部のほぼ中央を通るように設定されている場合は、分割境界部が蓄積容量と重なる。露光ずれによって、蓄積容量を構成するゲート線導体部の形状や、画素電極の形状が変化し、その副画素部の蓄積容量が分割境界部と重ならない他の副画素部の蓄積容量と異なるものとなり、輝度むらを生ずる原因となる。

【0014】本発明は、上記の問題を解決することをその目的の一つとするものであり、分割境界部に重なる副画素部での輝度変化を防止することを1つの目的とする。他の目的は、分割境界部が表示画面上で目立たない、表示装置及びその製造方法を得ることである。他の目的は、分割境界部に重なる副画素部の電気的特性が、他の副画素部のそれと大きく異ならない表示装置及びその製造方法を得ることである。他の目的は、容易に設定しうる露光分割領域の設定方法を得ることである。

#### 【0015】

【課題を解決するための手段】本発明は、副画素部内における露光分割領域の境界部を所定の設定とすることにより、分割境界部が重なる副画素部の輝度変化を防止することを可能とするものである。本発明を液晶表示装置の製造方法として捉えれば、液晶に電界を印加する画素電極をパターンニングするステップと、画素電極に電気信号を送る配線をパターンニングするステップと、液晶の保持特性を改善するために、画素電極との間において蓄積容量を形成する導体部をパターンニングするステップと、

を有し、配線パターンニングにおいて、複数の分割領域に分割してパターンニングの少なくとも一部の処理を行い、分割領域の分割境界部であって、配線の方向に延びる分割境界部は、配線の少なくとも一部と重ならないように設定され、導体部パターンニングもしくは画素電極パターンニングにおいて、複数の分割領域に分割してパターンニングの少なくとも一部の処理を行い、分割領域の分割境界部であって、配線の方向に延びる分割境界部は、蓄積容量と実質的に重ならないように設定される、ものである。

【0016】分割境界部は、蓄積容量と実質的に重ならないように、分割境界部と蓄積容量とがわずかに重なる場合であっても、蓄積容量の変化による輝度変化が視認されない場合も含まれる。パターンニングとは、導体部もしくは絶縁体部を所定の形状で形成することである。通常の液晶表示装置の製造工程においては、パターンニングは、材料の堆積、フォトリソグラフィ処理、及び、エッチング処理を含む。画素電極に電気信号を送る配線は、信号線とゲート線の双方を含む。液晶表示装置は、2つの基板の間に液晶を封入した液晶セル、液晶セルにドライバICや制御カードを実装し、バックライト・ユニットと組み合わせられた液晶モジュール、完成品としての液晶ディスプレイ等の、全ての装置が含まれる。

【0017】分割境界部は、副画素部内において非直線状に設定することができる。副画素部内で非直線状に設定することにより、分割境界部が蓄積容量と実質的に重ならず、配線との重なりも出来る限り少なくすることが可能となる。又、分割境界部を、信号線とゲート線との交差部に重なるように設定すれば、分割境界部が蓄積容量と重ならず、蓄積容量を大きく設定することが可能となる。

【0018】分割境界部は、配線とほぼ平行であって前記配線と重ならない第1の部分と、第1の部分と連続して形成され、第1の部分と所定の角度を有する第2の部分と、を有し、第2の部分は蓄積容量と重ならないように第1の部分と所定の角度を有して設定すれば、分割境界部が蓄積容量と重ならず、配線との重なりも出来る限り少なくすることが可能となる。

【0019】分割領域に分割して行われる処理を、感光性樹脂の露光処理であるとするれば、露光ずれによる副画素部の輝度変化を抑えることができる。さらに、分割境界部を、全ての露光処理において同一に設定することとすれば、設計を容易にすることができる。

【0020】配線パターンニングにおける分割境界部は、導体部パターンニング及び画素電極パターンニングにおける分割境界部とは異なって設定することによっても、分割境界部が蓄積容量と重ならず、配線との重なりも出来る限り少なくすることが可能となる。

【0021】本発明を表示装置の製造方法と捉えれば、絶縁基板上に導体層と絶縁体層をパターンニングすること

10

20

30

40

50

## 7

により、複数の副画素部をマトリックス状に形成する、表示装置の製造方法において、パターニングにおいて、複数の分割領域に分割してパターニングの少なくとも一部の処理を行い、分割領域の分割境界部は、副画素部内において非直線状に設定されている、表示装置の製造方法である。表示装置は液晶表示装置に限らず、有機高分子膜に印加する電圧を操作することにより、その発光を制御するPLED（ポリマー発光ダイオード）、または、OLED（有機発光ダイオード）を用いた、自発光型ディスプレイ等を含む。複数の分割領域に分割して行われる処理を、感光性樹脂の露光処理とすれば、露光ずれによる副画素部の輝度変化を抑えることができる。

【0022】本発明を液晶表示装置と捉えれば、液晶に電界を印加する画素電極と、画素電極に電気信号送る配線と、液晶の保持特性を改善するために、画素電極との間において蓄積容量を形成する導体部と、を有し、配線は、複数の分割領域に分割してパターニングの少なくとも一部の処理を行い、分割領域の分割境界部であって、配線の方向に延びる分割境界部は、配線の少なくとも一部と重ならないように分割されてパターニングされ、導体部もしくは画素電極は、複数の分割領域に分割してパターニングの少なくとも一部の処理を行い、分割領域の分割境界部であって、配線の方向に延びる分割境界部は、蓄積容量と重ならないように分割されてパターニングされた、ものである。

## 【0023】

【発明の実施の形態】実施の形態1. 図9は、サイドライト型のバックライト・ユニットを有する液晶表示装置90の概略を示す、構成図である。図に於いて、91はバックライト・ユニット、92は駆動ICが取り付けられた液晶パネル（液晶セル）、93は光を拡散させ、液晶表示パネル面での明るさを均一にする拡散シートである。液晶パネル92は、TFTがアレイ状に形成されたTFTアレイ基板とカラーフィルタ基板とを有し、2つの基板の間に液晶が封入されている。94は光を集光することにより、表示正面の輝度を向上させるプリズム・シートである。

【0024】95は光源からの光を導き拡散させる導光板、96は導光板やプリズムシート等のバックライト・ユニット91の部品を収納するフレームである。97は光源としての冷陰極管、98は液晶セル92とバックライト・ユニット91を外側から保持、保護するベゼルである。拡散シート93、プリズムシート94、導光板95、フレーム96、そして冷陰極管97によって、バックライト・ユニット91を構成する。冷陰極管97はフレーム96の内側に配置されており、直接図面には記載されていない。

【0025】図3は、スイッチング素子としてTFTを有する副画素部の概略を示す構成図である。副画素部は、TFT基板側に形成されたもののみを示している。

## 8

図3は、ボトムゲート型のTFTであり、半導体として、アモルファス・シリコン（a-Si）を用いている。この他に、半導体としてポリシリコンを用いたものや、トップゲート型のTFT等が存在する。ボトムゲートとは、TFTのゲートが、ドレイン／ソースよりも下層に配置されているTFTである。

【0026】図において、31はスイッチング素子としてのTFT、32はゲート電極、33はゲート絶縁層、34はアモルファス・シリコン（a-Si）層である。35はa-Si層と電極とのオーミック接触を改善するオーミック層、36はソース電極、37はドレイン電極、38は液晶に電界を加える画素電極である。オーミック層35は、ドナーとしてのリンやヒ素がドーピングされている。ゲート電極32はゲート線39を介して、Y軸側ドライバICに接続され、ソース電極36は信号線40を介してX軸側のドライバICに接続されている。

【0027】尚、TFT31は交流駆動されるため、ソース電極36とドレイン電極37は時間的に逆になる。41は液晶の保持特性を改善する蓄積容量である。蓄積容量41はゲート絶縁膜を誘電体として利用し、画素電極と隣の副画素部のゲート線の一部との間で形成されている（図A）。図Bは、ゲート線とは独立に蓄積容量42を形成した例を示したものである。図Bの蓄積容量42を構成する導体部は、ゲート電極と同じ層に同じ材料で形成されている。

【0028】動作を説明する。Y軸ドライバICより、ゲート線39を介して、各ゲート電極32に信号が送られる。この信号によって、TFT31のゲート電圧を操作し、TFT31のON/OFFを行う。又、X軸ドライバICより、信号線40を介してソース電極36へ信号が送られる。ソース電極36からドレイン電極37への信号の伝達の有無は、ゲート電極32によって制御される。ドレイン電極37への信号電圧の大きさは、X軸ドライバICからソース電極36へ信号電圧値を変化させることにより制御する。ドレイン電極37から信号電圧を送られた画素電極38は、対向基板に形成されている共通電極（不図示）との間において、液晶に電圧を印加する。蓄積容量によって液晶に印加される電圧を保持する。液晶に印加される電圧を変化させることにより、階調表示を行うことができる。

【0029】本形態における、ボトムゲート型のTFTを有するアレイ基板の製造方法の一例は、以下のように行われる。透明絶縁基板上にゲート線層を形成する。次に、酸化絶縁体層（SiO<sub>x</sub>）を形成する。酸化シリコン層はゲート絶縁層、蓄積容量の誘電体、そして、ゲート線と信号線との間の絶縁体層として機能する。続いて、アモルファス・シリコン（a-Si）層を堆積する。さらに、エッチング保護膜としての窒化シリコン層（SiN<sub>x</sub>）形成する。その後、オーミック層としてのn+a-Si層を堆積し、a-Si層とn+a-Si層を同時にパターンを形成する。

尚、絶縁層は窒化シリコン、酸化シリコンのいずれを使用することもできる。又、酸化絶縁体層は、必要なパターンにエッチングされる場合と、エッチング処理されない場合がある。

【0030】a-Si層とn+a-Si層は、信号線の一部としても形成される。次に、ITO層を形成する。ITO層は、画素電極として機能すると同時に、信号線の一部として形成される。その後、Al層を形成する。Al層は、ソース/ドレイン電極として形成される。又、信号線の一部としても形成される。さらに、パッシベーション層を形成した後に、配向膜を形成し、アレイ基板が完成する。このアレイ基板とカラーフィルタ基板との間に液晶を封入することによって、液晶セルが形成される。

【0031】各導体部及び絶縁膜の形成は、材料の堆積、フォトリソグラフィ処理、エッチング処理によって形成される。これらの処理を含む処理は、パターンニングと呼ばれる。フォトリソグラフィ処理、エッチング処理されない層も存在する。材料の堆積は、スパッタ法や真空蒸着による物理気相付着、もしくは、プラズマCVD等の化学気相付着によって行われる。フォトリソグラフィ処理は、感光性材料としてのフォトレジストの付着、マスク・パターンを介した感光（露光）、現像によるレジスト・パターンの形成、そして、レジストの剥離の各処理によって行われる。エッチング処理は、プラズマ・スパッタリング、RIEスパッタリング等のドライエッチング、もしくは、エッチング液を使用したウェットエッチングによって行われる。これらの処理は、各工程において好適なものが選択される。尚、これらの処理は広く知られた技術であるので、露光処理以外について、詳細な説明を行わない。

【0032】本実施の形態における露光処理について説明する。図4は1つの基板を4つの分割領域に分割して、4ショット露光する場合を示している。露光はステップを使用して行われる。4つの分割領域は、異なるパターンを有するレチクルによって露光される。図5は分割露光において、2つの分割露光領域が重なる付近を示す図であり、図4における分割領域が重なる領域45を拡大したものである。2つの分割露光領域が重なる部分の幅は、およそ10mmである。図5におけるA、Bの記号は、図4における分割領域に付された記号に対応する。図5A、Bの夫々は、露光領域が重なる付近における1回のショットの露光部と非露光部とを示している。ドットが付された部分は非露光部であり、白い空白部分が露光部である。

【0033】黒く塗られた部分は、露光ずれを考慮して、二重露光される領域を示している。二重露光される領域の幅は、およそ6μmである。分割境界部は、この二重露光部のほぼ中心部に相当する。図から理解されるように、露光部と非露光部とが交互に碁盤目状に配置され、市松模様を形成するように配置されている。正方形

で形成された露光部もしくは非露光部は、3副画素分（1画素分）の大きさを有している。図AとBとは、それぞれの露光部が嵌合するように形成され、これらを合わせると、基板全体が露光されることが理解される。分割領域が重なる部分を、図5のように非直線状に設定することによって、分割領域が重なる付近における表示色（輝度）の相違を、目立たなくすることができる。

【0034】図6は、副画素部内における分割境界部を示している。黒く塗られた部分は、二重露光される領域を示している。この領域のほぼ中心部が分割境界部である。全ての層のフォトリソグラフィ処理に於いて、この分割境界部が設定される。分割境界部は、ゲート線の方に延びるものと、信号線の方に延びるものがある。図から理解されるように、ゲート線にほぼ平行に延びる分割境界部は、ゲート線と蓄積容量とに重ならないように設定されている。又、信号線の方に延びる分割境界部は、副画素部内で非直線的に設定されている。信号線の方に延びる分割境界部は、蓄積容量と重ならないように設定され、出来る限り信号線とも重ならないように設定されている。

【0035】信号線の方に延びる分割境界部は、信号線とほぼ平行に延びる第1の部分61と、第1の部分から連続して延び、蓄積容量の手前で所定の角度で曲げられた第2の部分62と、第2の部分から連続して延び、信号配線とゲート配線の交差部と重なる第3の部分63とで構成されている。第1の部分61は信号線と重ならないように設定されている。第1の部分61と信号線とは、およそ15~20μmの間隔を有している。第2の部分62は、分割境界部が蓄積容量と重ならないように、第1の部分61と所定の角度を有するように設定されている。第3の部分63では、分割境界部は信号線と重なるが、その重なり部分が少ないため、副画素部の特性に大きく影響することはない。

【0036】このように、分割境界部が副画素部内で蓄積容量と重ならず、信号線ともほとんど重ならないように設定されているので、露光ずれによる副画素部の輝度変化を最小限に抑えることが可能となる。これは、露光ずれによる蓄積容量の変化や、信号線と画素電極との間の容量の変化、または、TFETの特性変化を抑えることができるからである。これにより、歩留まり向上を図ることが可能となる。又、第3の部分は信号配線とゲート配線の交差部と重なるように設定されているので、蓄積容量を形成する導体部の幅を大きくすることができ、蓄積容量を増大させることができる。尚、分割境界部が蓄積容量と重ならないようにすればよいのであって、このような設定に限定されるものではない。例えば、信号線と蓄積容量との間に一定の距離がある場合は、そのスペースを通る直線として、分割境界部を設定することも可能である。

【0037】尚、トップゲート型のTFETを有するアレ

イ基板の製造にも、本発明を適用することが可能である。画素電極と対向して蓄積容量を構成する導体部の形成において、露光分割境界部が蓄積と重ならないように設定される。蓄積容量がゲート線と独立に形成する場合にも、同様に適用することが可能である。各分割領域のレチクル・パターンは、同じ物を使用される場合もある。TFTに限らず、MIM (Metal Insulator Metal) 等のアクティブ素子を有するアクティブマトリックス方式の液晶表示装置にももちろん適用可能である。これらは、以下の実施の形態において同様である。

【0038】実施の形態2. 本実施形態は、各層のフォトリソグラフィ処理に於いて、分割境界部を変化させる例について説明する。本実施形態は、副画素部内での分割境界部の副画素部の電気的特性への影響を抑えることを可能とする。本形態の副画素部の構造、及び、露光処理以外の製造処理は、基本的に実施の形態1と同様であり説明を省略する。ただし、本実施形態においては、信号線の構成要素としてITO層は使用されない。図7は、ゲート線層を形成する際、及び、ITO画素電極層を形成する際における、フォトリソグラフィ処理での露光分割境界部を示している。黒く塗られた部分は、二重露光される領域を示している。尚、説明のために、副画素部の構造の概略を図示している。

【0039】副画素部は、ゲート線方向に延びる分割境界部と、信号線方向に延びる分割境界部を有している。信号線方向に延びる分割境界部は、副画素部内で直線として設定されている。この分割境界部は、信号線と重なり、信号線に平行に設定され、蓄積容量とは重ならないように設定されている。ゲート線層の形成においては、画素電極との間で蓄積容量を形成する導体部が形成され、この導体部と分割境界部は重ならないように設定されている。ゲート線方向に延びる分割境界部は、ゲート線及び蓄積容量と重ならないように設定され、ゲート線にほぼ平行に延びている。

【0040】図8は信号線を形成する際における、露光分割境界部を示している。信号線方向に延びる分割境界部は、副画素部内で直線として設定され、信号線と重ならないように設定され、副画素部のほぼ中心部を通っている。本実施形態においては、シリコン層及びAl層のパターニングにおいて、この分割領域に従って、露光処理が行われる。分割境界部は蓄積容量と交差するが、信号線形成時における露光ずれは、本形態における蓄積容量に影響を及ぼさないので問題はない。

【0041】以上のように、各層の形成工程に従って分割領域を変化させることにより、露光ずれによる副画素

部の特性変化・輝度変化を抑えることが可能となり、歩留まりを向上させることができる。又、各層の形成工程に従って分割領域を変化させるので、各露光工程における副画素部内の分割境界部を直線として設定できる。

尚、画素電極のパターニングとゲート線層のパターニングにおいて、異なる分割境界部を設定することが可能である。例えば、蓄積容量を構成する画素電極の部分が、もう一方の導体部よりも大きい幅（ゲート線方向の長さ）を有する場合は、画素電極のパターニングにおいて、分割境界部が蓄積容量と重なる場合も、蓄積容量の変化を抑える効果を期待できる。これは、露光ずれによって画素電極の幅が変化しても、蓄積容量の変化が起こらないことがあるからである。

【図面の簡単な説明】

【図1】 従来の技術における副画素部の構造を示す概略図である。

【図2】 従来の技術における分割露光を示す概略図である。

【図3】 第1の実施形態における副画素部の構造を示す概略図である。

【図4】 第1の実施形態における分割露光を示す概略図である。

【図5】 第1の実施形態における分割領域が重なる領域の拡大図である。

【図6】 第1の実施形態における分割境界部を示す概略図である。

【図7】 第2の実施形態における分割境界部を示す概略図である。

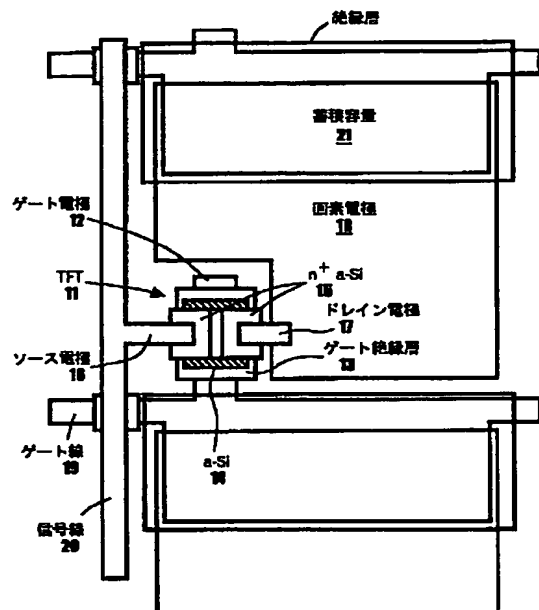
【図8】 第2の実施形態における分割境界部を示す概略図である。

【図9】 第1の実施形態における液晶表示装置を示す概略図である。

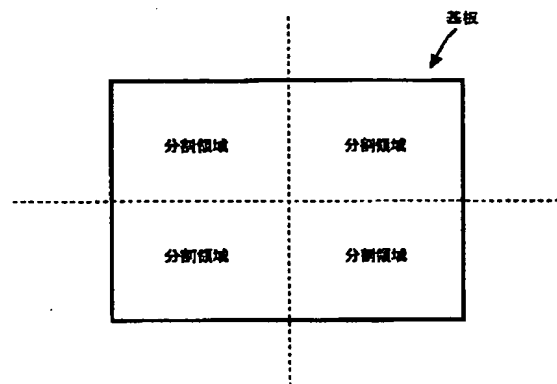
【符号の説明】

11 TFT、12 ゲート電極、13 ゲート絶縁層、14 アモルファス・シリコン (a-Si) 層、15 オーミック層、16 ソース電極、17 ドレイン電極、18 画素電極、19 ゲート線、20 信号線、21 蓄積容量、31 TFT、32 ゲート電極、33 ゲート絶縁層、34 アモルファス・シリコン (a-Si) 層、35 オーミック層、36 ソース電極、37 ドレイン電極、38 画素電極、39 ゲート線、40 信号線、41 蓄積容量、90 液晶表示装置、91 バックライト・ユニット、92 液晶パネル (液晶セル)、93 拡散シート、94 プリズム・シート、95 導光板、96 フレーム、97 冷陰極管、98 ベゼル、

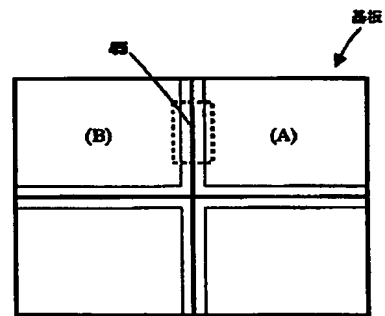
【図1】



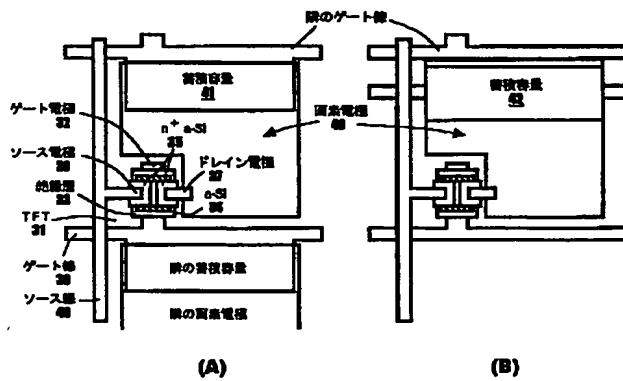
【図2】



【図4】

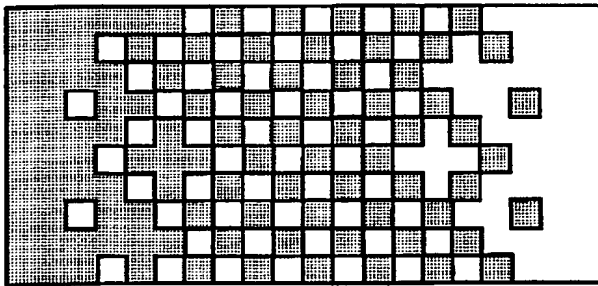


【図3】

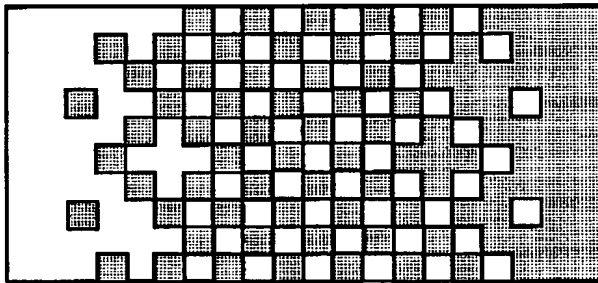




【図5】

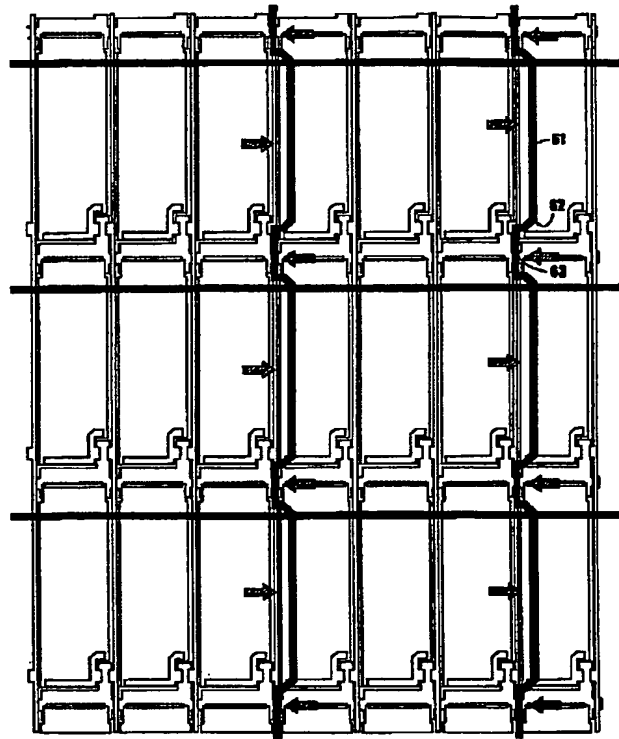


(A)

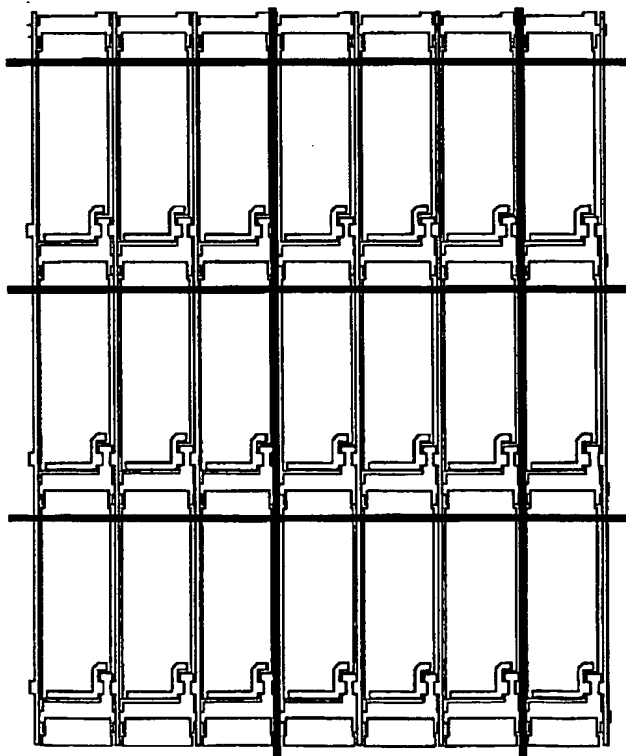


(B)

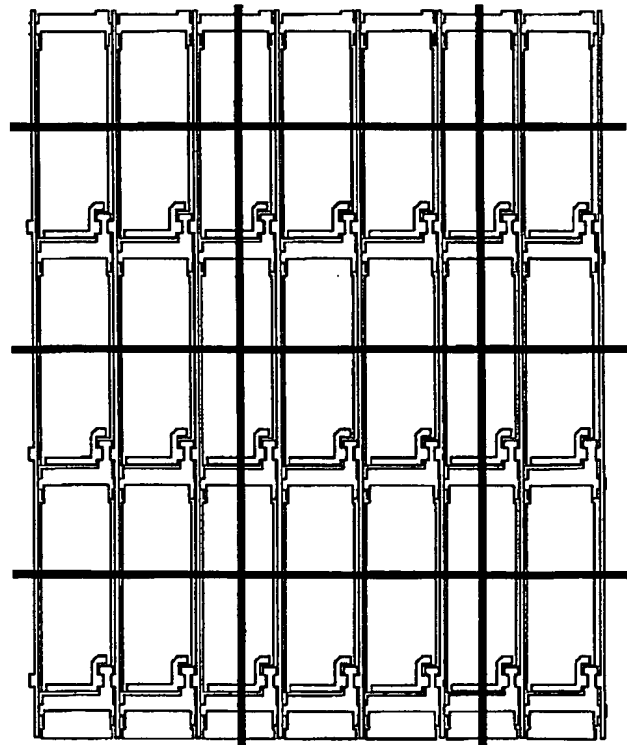
【図6】



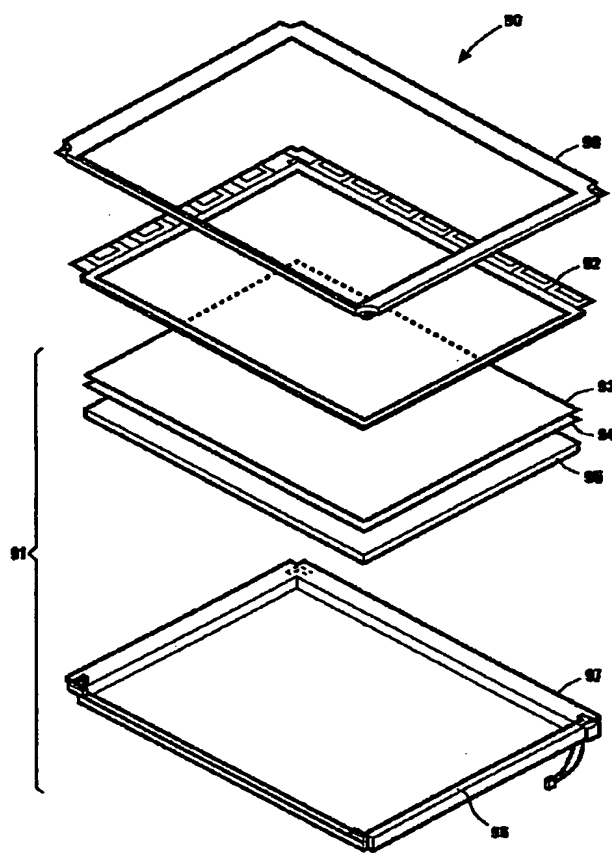
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 池崎 充  
神奈川県大和市下鶴間1623番地14 日本ア  
イ・ビー・エム株式会社 大和事業所内

Fターム(参考) 2H092 JA25 JA26 JA34 JA37 JA41  
JB04 JB05 JB22 JB31 JB63  
JB69 KA05 MA13 MA16 NA22  
NA24 PA13  
5C094 AA03 AA42 AA43 BA03 BA43  
CA19 EA04 EA07 HA10  
5G435 AA01 AA17 BB12 CC09 KK03  
KK05 KK10